ชื่อเรื่องวิทยานิพนธ์	การจัดลำดับการคำนวณที่เหมาะสมของข่ายวงจรดิจิตอลสำหรับตัวแปลโปรแกรมเพื่อตัวประมวลสัญญาณดิจิตอล	
ชื่อผู้เขียน	นาย จิรศักดิ์ วิลาสเดชานนท์	
วิศวกรรมศาสตรมหาบัณฑิต	สาขาวิชาวิศวกรรมไฟฟ้า	
คณะกรรมการสอบวิทยานิพนธ์	ผศ. ดร. กิติ ลิขิตอนุรักษ์	ประธานกรรมการ
	รศ. ดร. เอกชัย แสงอินทร์	กรรมการ
	รศ. ขจรศักดิ์ คันธพนิต	กรรมการ
	ผศ. ดร. รัชชัย แสงอุดม	กรรมการ

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอวิธีการจัดลำดับการคำนวณที่เหมาะสมของข่ายวงจรดิจิตอลเพื่อใช้ในตัวแปลภาษาสำหรับตัวประมวลสัญญาณดิจิตอล ข่ายวงจรดิจิตอลจะถูกเปลี่ยนให้อยู่ในรูปของกราฟระบุทิศทางแบบอวัฏจักร จากนั้นจะถูกแบ่งออกเป็นบล็อก ย่อย ๆ ตามจุดที่มีการบวก ลำดับการคำนวณภายในบล็อกแต่ละบล็อกจะถูกกำหนดจากสถาปัตยกรรมของตัวประมวลสัญญาณดิจิตอลที่ใช้ วิธีการนี้สามารถสร้างโปรแกรมภาษาเครื่องที่มีประสิทธิภาพ แม้ว่าในงานวิทยานิพนธ์นี้จะใช้ μPD 7720 ซึ่งมีสถาปัตยกรรมที่ไม่ซับซ้อนก็ตาม วิธีการนี้สามารถสร้างโปรแกรมภาษาเครื่องที่มีประสิทธิภาพ และสามารถนำไปใช้กับตัวประมวลสัญญาณดิจิตอลตัวอื่นที่มีสถาปัตยกรรมซับซ้อนกว่านี้ได้

Thesis Title	Optimum Computational Ordering of Digital Networks for DSP Compilers
Author	Mr. Jirasuk Vilasdechanon
M.Eng.	Electrical Engineering
Examining Committee	Asst. Prof. Dr. Kiti Likit-Anurucks Chairman Assoc. Prof. Dr. Akachai Sang-In Member Assoc. Prof. Kajornsak Kantapinit Member Asst. Prof. Dr. Ratchai Saeng-Udom Member

ABSTRACT

An optimum computational ordering method of digital networks for Digital Signal Processors (DSPs) compiler is proposed. The direct acyclic graph of the given digital network will be partitioned into blocks according to the summation point and the optimum ordering of each block is obtained by taking the target DSP architecture, i.e., the number of accumulator, bus structure and multi-operation instruction code, into consideration. Thus an efficient outcome code of DSP compiler may be obtained. Although only μPD 7720 is used as target DSP in this study, the method may be applied to other DSPs.