

ภาคผนวก ก

ตารางที่ ก.1 แสดงตารางเชื่อมโยง (Mapping Table) ข้อมูลในการแปลงค่า
เพื่อใช้ในการแสดงเบรลล์

รูปปกติ	การเขียนเบรลล์โดยใช้จุดต่างๆ	ค่าที่ได้จากการแปลงค่า แสดงในรูปของเลขฐานสิบหก
1	จุด 1	0x01
2	จุด 1-2	0x03
3	จุด 1-4	0x09
4	จุด 1-4-5	0x19
5	จุด 1-5	0x11
6	จุด 1-2-4	0x0B
7	จุด 1-2-4-5	0x1B
8	จุด 1-2-5	0x13
9	จุด 2-5	0x0A
0	จุด 2-4-5	0x1A
๑	จุด 1	0x01
๒	จุด 1-2	0x03
๓	จุด 1-4	0x09
๔	จุด 1-4-5	0x19
๕	จุด 1-5	0x11
๖	จุด 1-2-4	0x0B
๗	จุด 1-2-4-5	0x1B
๘	จุด 1-2-5	0x13
๙	จุด 2-5	0x0A
๐	จุด 2-4-5	0x1A
a	จุด 1	0x01
b	จุด 1-2	0x03
c	จุด 1-4	0x09
d	จุด 1-4-5	0x19
e	จุด 1-5	0x11

รูปปกติ	การเขียนเบรลล์โดยใช้จุดต่างๆ	ค่าที่ได้จากการแปลงค่า แสดงในรูปของเลขฐานสิบหก
f	จุด 1-2-4	0x0B
g	จุด 1-2-4-5	0x1B
h	จุด 1-2-5	0x13
i	จุด 2-5	0x0A
j	จุด 2-4-5	0x1A
k	จุด 1-3	0x05
l	จุด 1-2-3	0x07
m	จุด 1-3-4	0x0D
n	จุด 1-3-4-5	0x1D
o	จุด 1-3-5	0x15
p	จุด 1-2-3-4	0x0F
q	จุด 1-2-3-4-5	0x1F
r	จุด 1-2-3-5	0x17
s	จุด 2-3-4	0x0E
t	จุด 2-3-4-5	0x1E
u	จุด 1-3-6	0x25
v	จุด 1-2-3-6	0x27
w	จุด 2-4-5-6	0x3A
x	จุด 1-3-4-6	0x2D
y	จุด 1-3-4-5-6	0x3D
z	จุด 1-3-5-6	0x35
A	จุด 1	0x01
B	จุด 1-2	0x03
C	จุด 1-4	0x09
D	จุด 1-4-5	0x19
E	จุด 1-5	0x11
F	จุด 1-2-4	0x0B
G	จุด 1-2-4-5	0x1B
H	จุด 1-2-5	0x13
I	จุด 2-5	0x0A

รูปปกติ	การเขียนเบรลล์โดยใช้จุดต่างๆ	ค่าที่ได้จากการแปลงค่า แสดงในรูปของเลขฐานสิบหก
J	จุด 2-4-5	0x1A
K	จุด 1-3	0x05
L	จุด 1-2-3	0x07
M	จุด 1-3-4	0x0D
N	จุด 1-3-4-5	0x1D
O	จุด 1-3-5	0x15
P	จุด 1-2-3-4	0x0F
Q	จุด 1-2-3-4-5	0x1F
R	จุด 1-2-3-5	0x17
S	จุด 2-3-4	0x0E
T	จุด 2-3-4-5	0x1E
U	จุด 1-3-6	0x25
V	จุด 1-2-3-6	0x27
W	จุด 2-4-5-6	0x3A
X	จุด 1-3-4-6	0x2D
Y	จุด 1-3-4-5-6	0x3D
Z	จุด 1-3-5-6	0x35
ก	จุด 1-2-4-5	0x1B
ข	จุด 1-3	0x05
ฃ	จุด 3-5-6, จุด 1-3	0x7405
ค	จุด 1-3-6	0x25
ก	จุด 3-6, จุด 1-3-6	0x6425
ฅ	จุด 6, จุด 1-3-6	0x6025
ง	จุด 1-2-4-5-6	0x3B
จ	จุด 2-4-5	0x1A
ฉ	จุด 3-4	0x0C
ช	จุด 3-4-6	0x2C
ฌ	จุด 2-3-4-6	0x2E
ฉ	จุด 6, จุด 3-4-6	0x602C
ญ	จุด 6, จุด 1-3-4-5-6	0x603D

รูปปกติ	การเขียนเบรลล์โดยใช้จุดต่างๆ	ค่าที่ได้จากการแปลงค่า แสดงในรูปของเลขฐานสิบหก
ฎ	จุด 6, จุด 1-4-6	0x6029
ฏ	จุด 6, จุด 1-2-5-6	0x6033
ฐ	จุด 6, จุด 2-3-4-5	0x601E
ฑ	จุด 6, จุด 2-3-4-5-6	0x603E
ฒ	จุด 3-6, จุด 2-3-4-5-6	0x643E
ณ	จุด 6, จุด 1-3-4-5	0x601D
ด	จุด 1-4-5	0x19
ต	จุด 1-2-5-6	0x33
ถ	จุด 2-3-4-5	0x1E
ท	จุด 2-3-4-5-6	0x3E
ธ	จุด 3-5-6, จุด 2-3-4-5-6	0x743E
น	จุด 1-3-4-5	0x1D
บ	จุด 1-2-3-6	0x27
ป	จุด 1-2-3-4-6	0x2F
ผ	จุด 1-2-3-4	0x0F
ฝ	จุด 1-3-4-6	0x2D
พ	จุด 1-4-5-6	0x39
ฟ	จุด 1-2-4-6	0x2B
ภ	จุด 6, จุด 1-4-5-6	0x6039
ม	จุด 1-3-4	0x0D
ย	จุด 1-3-4-5-6	0x3D
ร	จุด 1-2-3-5	0x17
ล	จุด 1-2-3	0x07
ว	จุด 2-4-5-6	0x3A
ศ	จุด 6, จุด 2-3-4	0x600E
ษ	จุด 3-6, จุด 2-3-4	0x640E
ส	จุด 2-3-4	0x0E
ห	จุด 1-2-5	0x13
ฬ	จุด 6, จุด 1-2-3	0x6007
อ	จุด 1-3-5	0x15

รูปปกติ	การเขียนเบรลล์โดยใช้จุดต่างๆ	ค่าที่ได้จากการแปลงค่า แสดงในรูปของเลขฐานสิบหก
ฮ	จุด 1-2-3-4-5-6	0x3F
-๕	จุด 1	0x01
-๗	จุด 1-6	0x21
-๘	จุด 1-2	0x03
-๙	จุด 2-4-6	0x2A
-๐	จุด 2-3	0x06
-๑	จุด 2-6	0x22
-๒	จุด 1-4	0x09
-๓	จุด 2-5	0x12
-๔	จุด 1-2-4	0x0B
-๕	จุด 1-2-6	0x23
-๖	จุด 2-4	0x05
-๗	จุด 1-3-5-6	0x35
-๘	จุด 1-5-6	0x31
-๙	จุด 1-5-6, จุด 2	0x7102
๐	จุด 1-2-3-5, จุด 2	0x5702
๑	จุด 1-2-3, จุด 2	0x4702
๒	จุด 3-4-5	0x1C
๓	จุด 3	0x04
๔	จุด 3-5	0x14
๕	จุด 2-5-6	0x32
๖	จุด 2-3-5-6	0x36
๗	จุด 2-3-6	0x26
๘	จุด 3-5-6	0x34
๙	จุด 2	0x02
,	จุด 2-5-6	0x32
!	จุด 2-3-5	0x16
?	จุด 2-3-6	0x26
“	จุด 5, จุด 2	0x5002
๑	จุด 5-6, จุด 2-3	0x7006

รูปปกติ	การเขียนเบอร์ลล์โดยใช้จุดต่างๆ	ค่าที่ได้จากการแปลงค่า แสดงในรูปของเลขฐานสิบหก
/	จุด 3-4	0x0C
-	จุด 3-6	0x24
+	จุด 3-4-6	0x26
=	จุด 4-6, จุด 1-3	0x6805
>	จุด 4-6, จุด 2	0x6802
<	จุด 5, จุด 1-3	0x5005
.	จุด 4-6	0x28
%	จุด 4, จุด 3-5-6	0x4834

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
 Copyright © by Chiang Mai University
 All rights reserved

ภาคผนวก ข

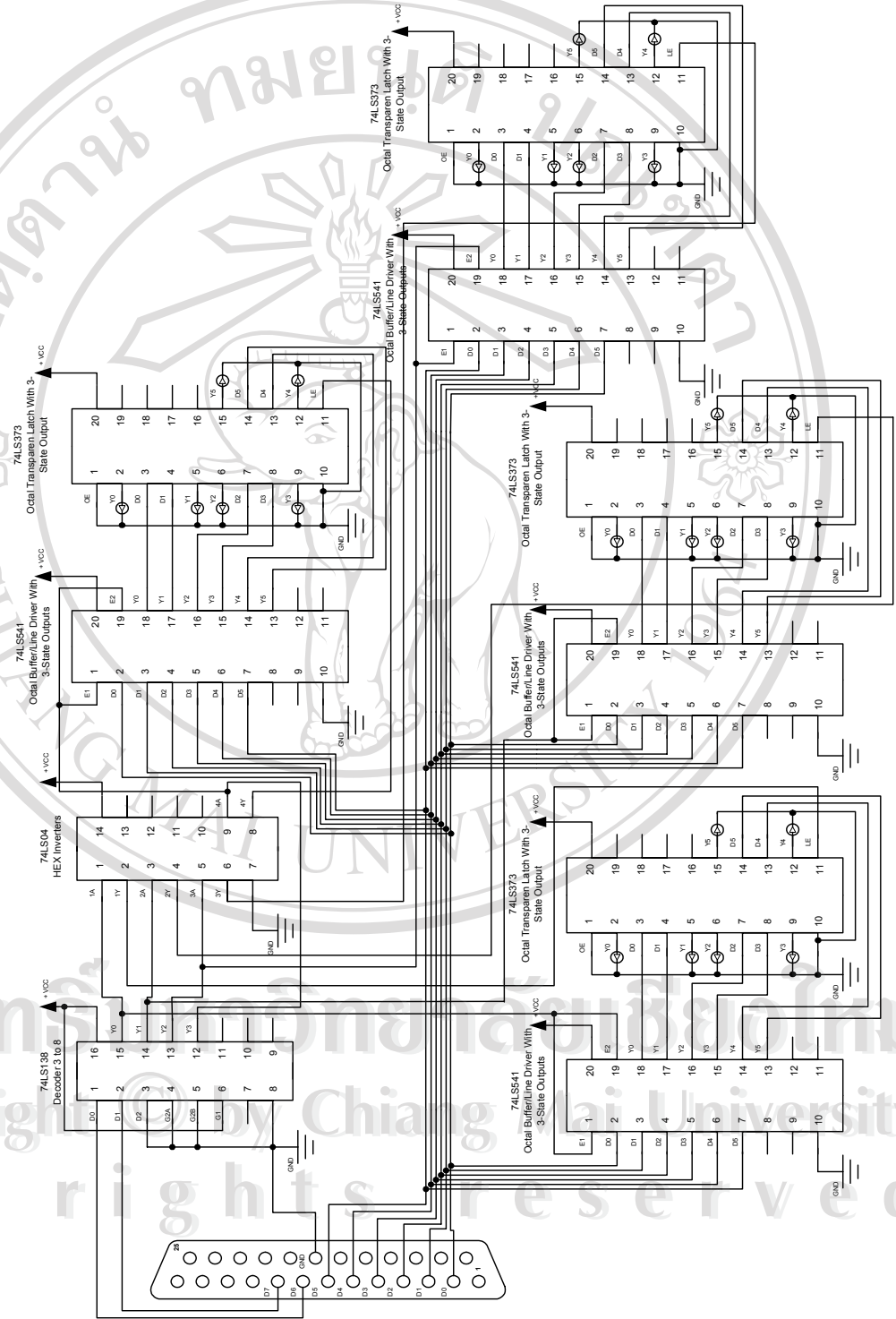
ตารางที่ ข.1 แสดงตารางเชื่อมโยง (Mapping Table) ข้อมูลในการแปลงค่า
เพื่อใช้ในการแสดงเบรลล์ที่มีใช้อักขระมากกว่า 1 ตัว แสดงแทน
สระ และวรรณยุกต์

โดยจะมี ASCII ลำดับที่ 139 นำหน้าอักษรตามปกติก่อน โดยจะต้องถูกกำหนดมา
จากการประมวลผลภาษาธรรมชาติก่อน

รูปปกติ	รูปที่ผ่านการประมวลผลด้วยภาษาธรรมชาติ	การเขียนเบรลล์โดยใช้อักขระต่างๆ	ค่าที่ได้จากการแปลงค่าแสดงในรูปของเลขฐานสิบหก
เ-ะ	๑ก	จุด 1-2-4, จุด 1	0x4B01
แ-ะ	๑ข	จุด 1-2-6, จุด 1	0x6301
โ-ะ	๑ค	จุด 2-4, จุด 1	0x4A01
เ-าะ	๑ง	จุด 1-3-5, จุด 1	0x5501
-อ	๑จ	จุด 1-3-5	0x15
เ-อะ	๑ฉ	จุด 1-4-6, จุด 1	0x6901
เ-อ	๑ช	จุด 1-4-6	0x29
เ-ียะ	๑ซ	จุด 1-2-3-5-6, จุด 1	0x7701
เ-ีย	๑ฌ	จุด 1-2-3-5-6	0x37
เ-ือะ	๑ญ	จุด 1-2-3-4-5, จุด 1	0x5F01
เ-ือ	๑ฎ	จุด 1-2-3-4-5	0x1F
-ัวะ	๑ฏ	จุด 1-5, จุด 1	0x5101
-ัว	๑ฐ	จุด 1-5	0x11
เ-า	๑ฑ	จุด 2-3-5	0x16
ภา	๑ฒ	จุด 1-2-3-5, จุด 2, จุด 1-6	0x974221
ฤา	๑ณ	จุด 1-2-3, จุด 2, จุด 1-6	0x874221

ภาคผนวก ค

วงจรและรูปถ่าย อุปกรณ์แสดงผลทาง LED



รูปที่ ค.1 แสดงรูปวงจรของอุปกรณ์แสดงผลอักษรเบรลล์ โดยแสดงผ่านทาง LED



รูปที่ ค.2 แสดงรูปถ่ายอุปกรณ์แสดงผลอักษรเบรลล์ผ่านทาง LED



รูปที่ ค.3 แสดงรูปถ่ายการเชื่อมต่ออุปกรณ์แสดงผลอักษรเบรลล์ กับคอมพิวเตอร์

ภาคผนวก ง

คุณลักษณะของวงจรรวม (IC) บนอุปกรณ์แสดงผล

**SN5404, SN54LS04, SN54S04,
SN7404, SN74LS04, SN74S04
HEX INVERTERS**

SDLS029C - DECEMBER 1983 - REVISED JANUARY 2004

• Dependable Texas Instruments Quality and Reliability

description/ordering information
These devices contain six independent inverters.

SN5404 . . . J PACKAGE
SN54LS04, SN54S04 . . . J OR W PACKAGE
SN7404, SN74S04 . . . D, N, OR NS PACKAGE
SN74LS04 . . . D, DB, N, OR NS PACKAGE
(TOP VIEW)

SN5404 . . . W PACKAGE
(TOP VIEW)

SN54LS04, SN54S04 . . . FK PACKAGE
(TOP VIEW)

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright © by Chiang Mai University
All rights reserved



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2004, Texas Instruments Incorporated. On products compliant to ILL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

**SN5404, SN54LS04, SN54S04,
SN7404, SN74LS04, SN74S04
HEX INVERTERS**

SDLS029C – DECEMBER 1983 – REVISED JANUARY 2004

ORDERING INFORMATION

TA	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING	
0°C to 70°C	PDIP – N	Tube	SN7404N	SN7404N	
		Tube	SN74LS04N	SN74LS04N	
		Tube	SN74S04N	SN74S04N	
	SOIC – D	Tube	SN7404D	7404	
		Tape and reel	SN7404DR		
		Tube	SN74LS04D	LS04	
		Tape and reel	SN74LS04DR		
		Tube	SN74S04D	S04	
		Tape and reel	SN74S04DR		
	SOP – NS	Tape and reel	SN7404NSR	SN7404	
		Tape and reel	SN74LS04NSR	74LS04	
		Tape and reel	SN74S04NSR	74S04	
	SSOP – DB	Tape and reel	SN74LS04DBR	LS04	
	–55°C to 125°C	CDIP – J	Tube	SN5404J	SN5404J
			Tube	SNJ5404J	SNJ5404J
Tube			SN54LS04J	SN54LS04J	
Tube			SN54S04J	SN54S04J	
Tube			SNJ54LS04J	SNJ54LS04J	
Tube			SNJ54S04J	SNJ54S04J	
CFP – W		Tube	SNJ5404W	SNJ5404W	
		Tube	SNJ54LS04W	SNJ54LS04W	
		Tube	SNJ54S04W	SNJ54S04W	
LCCC – FK		Tube	SNJ54LS04FK	SNJ54LS04FK	
		Tube	SNJ54S04FK	SNJ54S04FK	

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.

FUNCTION TABLE
(each inverter)

INPUT A	OUTPUT Y
H	L
L	H

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่

Copyright © by Chiang Mai University

All rights reserved

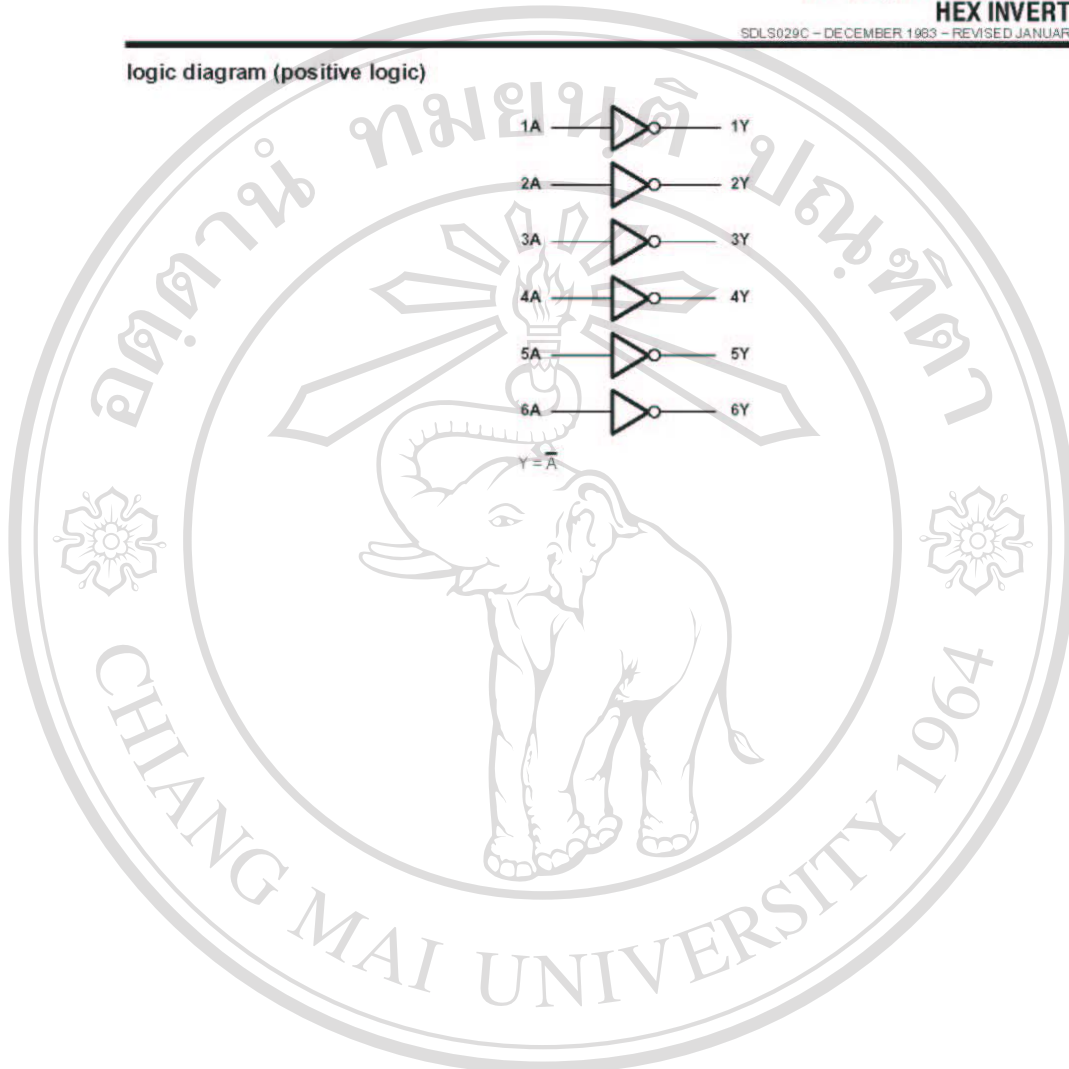
 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN5404, SN54LS04, SN54S04,
SN7404, SN74LS04, SN74S04
HEX INVERTERS

SDLS029C - DECEMBER 1983 - REVISED JANUARY 2004

logic diagram (positive logic)



ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่

Copyright © by Chiang Mai University

All rights reserved

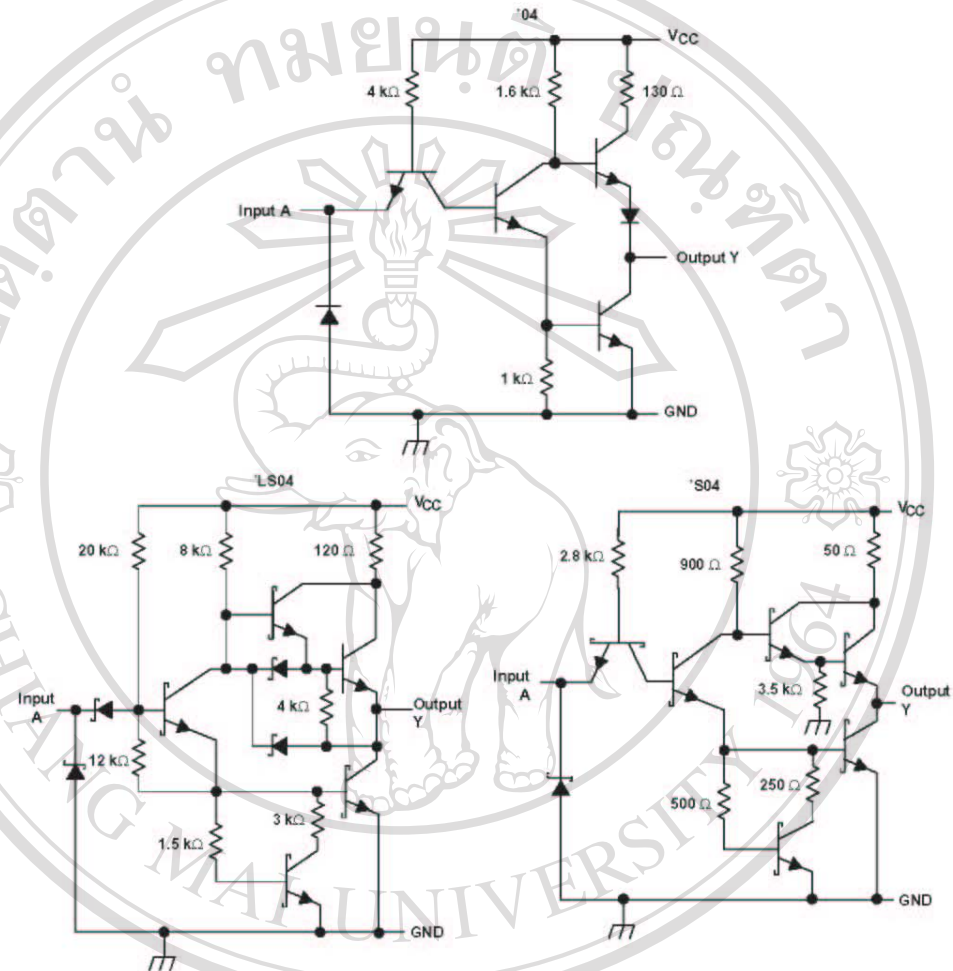
TEXAS
INSTRUMENTS

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

**SN5404, SN54LS04, SN54S04,
SN7404, SN74LS04, SN74S04**
HEX INVERTERS

SDLS029C - DECEMBER 1983 - REVISED JANUARY 2004

schematics (each gate)



Resistor values shown are nominal.

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่

Copyright © by  Texas Instruments Mai University

POST OFFICE BOX 665303 • DALLAS, TEXAS 75265

All rights reserved

SN74LS138

1-of-8 Decoder/ Demultiplexer

The LSTTL/MSI SN74LS138 is a high speed 1-of-8 Decoder/Demultiplexer. This device is ideally suited for high speed bipolar memory chip select address decoding. The multiple input enables allow parallel expansion to a 1-of-24 decoder using just three LS138 devices or to a 1-of-32 decoder using four LS138s and one inverter. The LS138 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all ON Semiconductor TTL families.

- Demultiplexing Capability
- Multiple Input Enable for Easy Expansion
- Typical Power Dissipation of 32 mW
- Active Low Mutually Exclusive Outputs
- Input Clamp Diodes Limit High Speed Termination Effects

GUARANTEED OPERATING RANGES

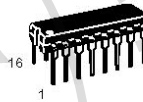
Symbol	Parameter	Min	Typ	Max	Unit
V _{CC}	Supply Voltage	4.75	5.0	5.25	V
T _A	Operating Ambient Temperature Range	0	25	70	°C
I _{OH}	Output Current – High			–0.4	mA
I _{OL}	Output Current – Low			8.0	mA



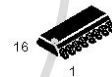
ON Semiconductor™

<http://onsemi.com>

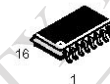
LOW
POWER
SCHOTTKY



PLASTIC
N SUFFIX
CASE 648



SOIC
D SUFFIX
CASE 751B



SOEIAJ
M SUFFIX
CASE 966

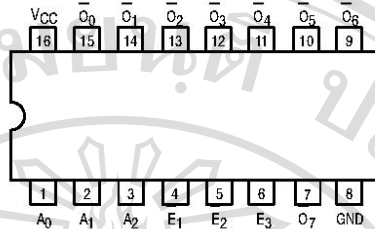
ORDERING INFORMATION

Device	Package	Shipping
SN74LS138N	16 Pin DIP	2000 Units/Box
SN74LS138D	SOIC–16	38 Units/Rail
SN74LS138DR2	SOIC–16	2500/Tape & Reel
SN74LS138M	SOEIAJ–16	See Note 1
SN74LS138MEL	SOEIAJ–16	See Note 1

1. For ordering information on the EIAJ version of the SOIC package, please contact your local ON Semiconductor representative.

SN74LS138

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

- $A_0 - A_2$ Address Inputs
- E_1, E_2 Enable (Active LOW) Inputs
- E_3 Enable (Active HIGH) Input
- $O_0 - O_7$ Active LOW Outputs

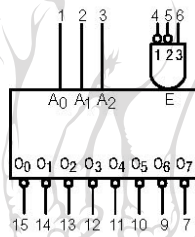
LOADING (Note a)

	HIGH	LOW
$A_0 - A_2$	0.5 U.L.	0.25 U.L.
E_1, E_2	0.5 U.L.	0.25 U.L.
E_3	0.5 U.L.	0.25 U.L.
$O_0 - O_7$	10 U.L.	5 U.L.

NOTES:

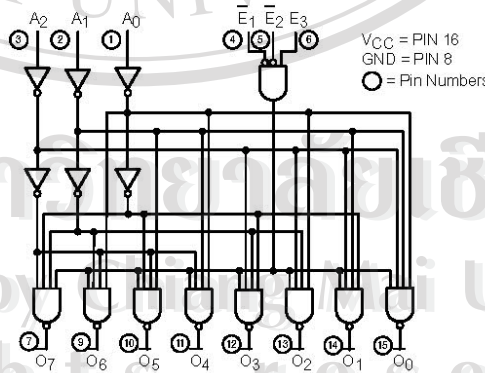
a) 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW.

LOGIC SYMBOL



V_{CC} = PIN 16
 GND = PIN 8

LOGIC DIAGRAM



V_{CC} = PIN 16
 GND = PIN 8
○ = Pin Numbers

SN74LS138

FUNCTIONAL DESCRIPTION

The LS138 is a high speed 1-of-8 Decoder/Demultiplexer fabricated with the low power Schottky barrier diode process. The decoder accepts three binary weighted inputs (A₀, A₁, A₂) and when enabled provides eight mutually exclusive active LOW Outputs (O₀–O₇). The LS138 features three Enable inputs, two active LOW (E₁, E₂) and one active HIGH (E₃). All outputs will be HIGH unless E₁ and E₂ are LOW and E₃ is HIGH. This multiple enable

function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four LS138s and one inverter. (See Figure a.)

The LS138 can be used as an 8-output demultiplexer by using one of the active LOW Enable inputs as the data input and the other Enable inputs as strobes. The Enable inputs which are not used must be permanently tied to their appropriate active HIGH or active LOW state.

TRUTH TABLE

INPUTS						OUTPUTS							
E ₁	E ₂	E ₃	A ₀	A ₁	A ₂	O ₀	O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

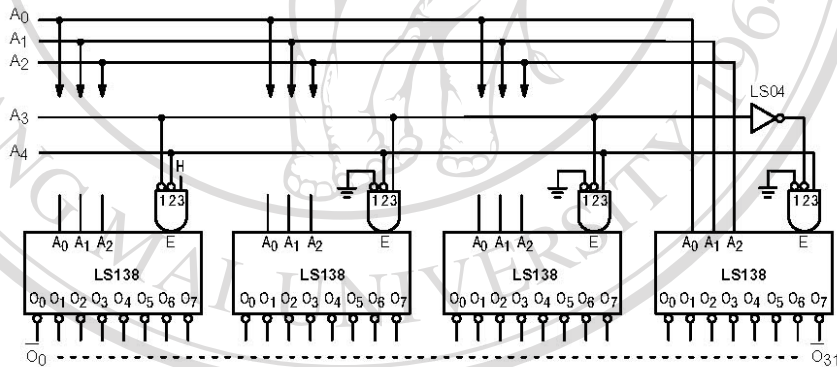


Figure a



OCTAL TRANSPARENT LATCH WITH 3-STATE OUTPUTS; OCTAL D-TYPE FLIP-FLOP WITH 3-STATE OUTPUT

The SN54/74LS373 consists of eight latches with 3-state outputs for bus organized system applications. The flip-flops appear transparent to the data (data changes asynchronously) when Latch Enable (LE) is HIGH. When LE is LOW, the data that meets the setup times is latched. Data appears on the bus when the Output Enable (OE) is LOW. When OE is HIGH the bus output is in the high impedance state.

The SN54/74LS374 is a high-speed, low-power Octal D-type Flip-Flop featuring separate D-type inputs for each flip-flop and 3-state outputs for bus oriented applications. A buffered Clock (CP) and Output Enable (OE) is common to all flip-flops. The SN54/74LS374 is manufactured using advanced Low Power Schottky technology and is compatible with all Motorola TTL families.

- Eight Latches in a Single Package
- 3-State Outputs for Bus Interfacing
- Hysteresis on Latch Enable
- Edge-Triggered D-Type Inputs
- Buffered Positive Edge-Triggered Clock
- Hysteresis on Clock Input to Improve Noise Margin
- Input Clamp Diodes Limit High Speed Termination Effects

PIN NAMES

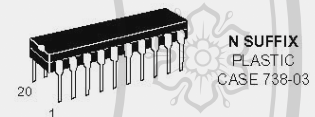
D ₀ -D ₇	Data Inputs
LE	Latch Enable (Active HIGH) Input
CP	Clock (Active HIGH going edge) Input
OE	Output Enable (Active LOW) Input
O ₀ -O ₇	Outputs (Note b)

LOADING (Note a)	
HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
65 (25) U.L.	15 (7.5) U.L.

NOTES:
 a) 1 TTL Units Load (U.L.) = 40 μA HIGH/1.6 mA LOW.
 b) The Output LOW drive factor is 7.5 U.L. for Military (54) and 25 U.L. for Commercial (74) Temperature Ranges. The Output HIGH drive factor is 25 U.L. for Military (54) and 65 U.L. for Commercial (74) Temperature Ranges.

SN54/74LS373 SN54/74LS374

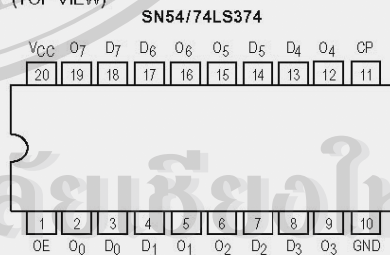
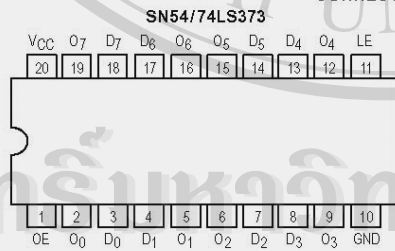
OCTAL TRANSPARENT LATCH WITH 3-STATE OUTPUTS;
OCTAL D-TYPE FLIP-FLOP WITH 3-STATE OUTPUT
LOW POWER SCHOTTKY



ORDERING INFORMATION

SN54LSXXXJ Ceramic
 SN74LSXXXN Plastic
 SN74LSXXXDW SOIC

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
 The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

FAST AND LS TTL DATA

ลิขสิทธิ์ในหนังสือเรียนของมหาวิทยาลัย
 Copyright © by Chiang Mai University
 All rights reserved

SN54/74LS373 • SN54/74LS374

TRUTH TABLE

D _n	LE	OE	O _n
H	H	L	H
L	H	L	L
X	L	L	Q ₀
X	X	H	Z*

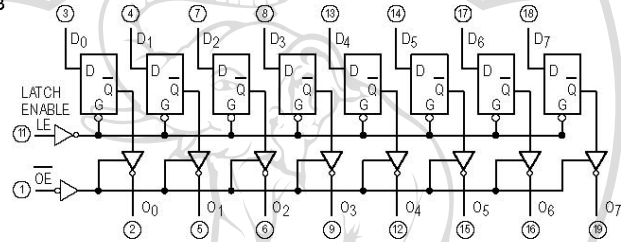
D _n	LE	OE	O _n
H		L	H
L		L	L
X	X	H	Z*

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Immaterial
 Z = High Impedance

* Note: Contents of flip-flops unaffected by the state of the Output Enable input (OE).

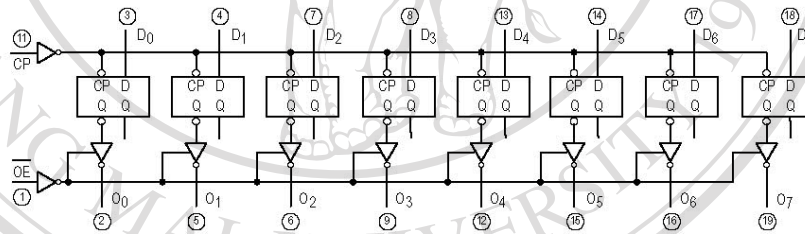
LOGIC DIAGRAMS

SN54LS/74LS373



V_{CC} = PIN 20
 GND = PIN 10
 ○ = PIN NUMBERS

SN54LS/74LS374



GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T _A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I _O H	Output Current — High	54			-1.0	mA
74				-2.6		
I _O L	Output Current — Low	54			12	mA
		74			24	



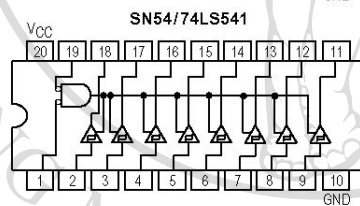
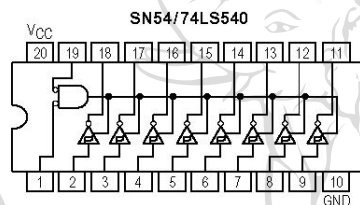
OCTAL BUFFER/LINE DRIVER WITH 3-STATE OUTPUTS

The SN54/74LS540 and SN54/74LS541 are octal buffers and line drivers with the same functions as the LS240 and LS241, but with pinouts on the opposite side of the package.

These device types are designed to be used as memory address drivers, clock drivers and bus-oriented transmitters/receivers. These devices are especially useful as output ports for the microprocessors, allowing ease of layout and greater PC board density.

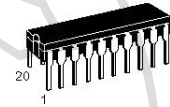
- Hysteresis at Inputs to Improve Noise Margin
- PNP Inputs Reduce Loading
- 3-State Outputs Drive Bus Lines
- Inputs and Outputs Opposite Side of Package, Allowing Easier Interface to Microprocessors
- Input Clamp Diodes Limit High-Speed Termination Effects

LOGIC AND CONNECTION DIAGRAMS DIP (TOP VIEW)

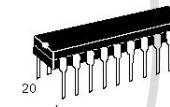


**SN54/74LS540
SN54/74LS541**

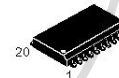
**OCTAL BUFFER/LINE DRIVER
WITH 3-STATE OUTPUTS
LOW POWER SCHOTTKY**



**J SUFFIX
CERAMIC
CASE 732-03**



**N SUFFIX
PLASTIC
CASE 738-03**



**DW SUFFIX
SOIC
CASE 751D-03**

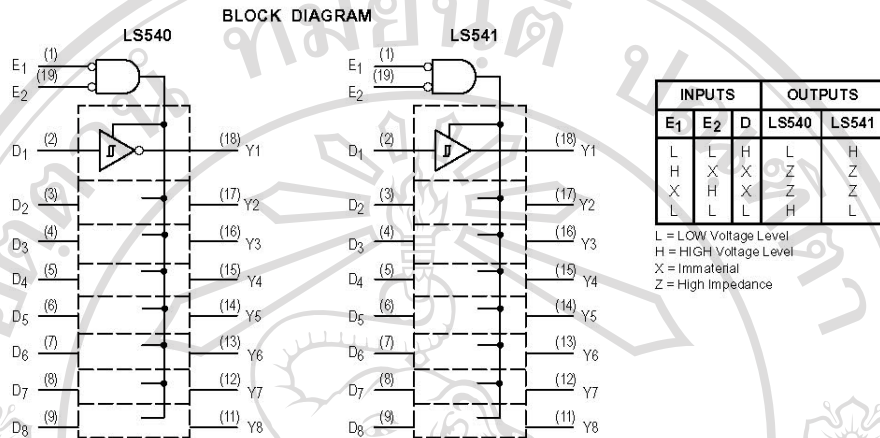
ORDERING INFORMATION

SN54LSXXXJ Ceramic
SN74LSXXXN Plastic
SN74LSXXXDW SOIC

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54	4.5	5.0	5.5	V
		74	4.75	5.0	5.25	
T _A	Operating Ambient Temperature Range	54	-55	25	125	°C
		74	0	25	70	
I _{OH}	Output Current — High	54			-12	mA
		74			-15	
I _{OL}	Output Current — Low	54			12	mA
		74			24	

SN54/74LS540 • SN54/74LS541



DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54, 74	2.4	3.4	V	V _{CC} = MIN, I _{OH} = -3.0 mA
		54, 74	2.0		V	V _{CC} = MIN, I _{OH} = MAX, V _{IL} = 0.5 V
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	I _{OL} = 12 mA, V _{CC} = V _{CC} MIN, V _{IN} = V _{IL} or V _{IH} per Truth Table
		74	0.35	0.5	V	I _{OL} = 24 mA
V _{T+} -V _{T-}	Hysteresis	0.2	0.4		V	V _{CC} = MIN
I _{OZH}	Output Off Current HIGH			20	μA	V _{CC} = MAX, V _{OUT} = 2.7 V
I _{OZL}	Output Off Current LOW			-20	μA	V _{CC} = MAX, V _{OUT} = 0.4 V
I _{IH}	Input HIGH Current			20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
				0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{IL}	Input LOW Current			-0.2	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Short Circuit Current (Note 1)	-40		-225	mA	V _{CC} = MAX
I _{CC}	Power Supply Current Total, Output HIGH	LS540		25	mA	V _{CC} = MAX
		LS541		32	mA	
	Total, Output LOW	LS540		45	mA	
		LS541		52	mA	
	Total Output 3-State	LS540		52	mA	
		LS541		55	mA	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

ประวัติผู้เขียน

ชื่อ-สกุล	นายจตุตถพงษ์ รัตนนรเศรษฐ์
วัน เดือน ปีเกิด	18 พฤษภาคม พ.ศ. 2516
สถานที่เกิด	อำเภอเมือง จังหวัดลำปาง
วุฒิการศึกษา	วิศวกรรมศาสตรบัณฑิต (วิศวกรรมไฟฟ้า) มหาวิทยาลัยเกษตรศาสตร์ พ.ศ. 2539
ตำแหน่ง	วิศวกร โครงการ
สถานที่ทำงาน	บริษัท บีทูเอส จำกัด กรุงเทพฯ
E-Mail	aotto182000@yahoo.com , rajattuthapong@b2s.co.th

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright © by Chiang Mai University
All rights reserved