ชื่อเรื่องวิทยานิพนธ์ การพัฒนาโปรแกรมเอทีพีจีสำหรับวงจรดิจิตอล โดยใช้วิธีรายการลดทอน

ชื่อผู้เขียน นายธานินทร์ สุเชียง

วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า

คณะกรรมการสอบวิทยานิพนธ์ :

รองศาสตราจารย์ ดร. เอกชัย แสงอินทร์	ประธานกรรมการ
รองศาสตราจารย์ ขจรศักดิ์ คันธพนิต	กรรมการ
ผู้ช่วยศาสตราจารย์ ดร. กิติ ลิขิตอนุรักษ์	กรรมการ

บทคัดย่อ

วิทยานิพนธ์เล่มนี้ศึกษาวิจัยวิธีการเพิ่มประสิทธิภาพให้กับโปรแกรมให้กำเนิดรูปแบบสัญญาณทดสอบโดยอัตโนมัติสำหรับวงจรดิจิตอล เนื่องจากกระบวนการให้กำเนิดรูปแบบสัญญาณทดสอบโปรแกรมอาจเสียเวลาส่วนหนึ่งไปกับการทำงานแบบย้อนรอย อันเกิดขึ้นจากความขัดแย้ง (Conflict) ของการกำหนดค่าตรรกให้แก่โหนด จึงแก้ปัญหาด้วยการสร้างรายการการลดทอน (Reduction List) สำหรับใช้เป็นตัวตัดทอนค่าที่เป็นไปไม่ได้ออกจากโหนดต่าง ๆ ในวงจร อันจะส่งผลให้กระบวนการค้นหาคำตอบสามารถทำได้รวดเร็วและมีประสิทธิภาพมากขึ้น จากการทดลองเมื่อนำรายการลดทอนไปติดตั้งเพิ่มเข้าไปในโปรแกรมให้กำเนิดรูปแบบสัญญาณทดสอบปรากฏว่าการให้กำเนิดรูปแบบสัญญาณทดสอบสามารถลดจำนวนการย้อนรอยและให้กำเนิดรูปแบบสัญญาณทดสอบได้เร็วกว่าการไม่ใช้รายการการลดทอน

Thesis Title	Development of an ATPG Program for Digital Circuits Using Reduction List Method
Author	Mr. Thanin Suchiang
M.Eng.	Electrical Engineering

Examining Committee:	Assoc. Prof. Dr. Akachai Sang-In	Chairman
	Assoc. Prof. Kajornsak Kantapanit	Member
	Asst. Prof. Dr. Kiti Likitanuruck	Member

ABSTRACT

The study aims to develop and improve an ATPG method to increase the efficiency of the ATPG program by reducing the occurrence of backtracks in the process. During the process of the test pattern generation, the program might waste an amount of time in *Backtracking* which is resulted from the conflicts of the logic assigned to nodes in the circuit. The main idea is to build up a reduction list for eliminating impossible value from nodes in the circuits before the beginning searching process. The developed ATPG program based on reduction list has been tested with some increasing in the performance, especially in terms of time consuming.