ชื่อเรื่องการค้นคว้าแบบอิสระ การทวนสอบอย่างเป็นแบบแผนของข้อกำหนดที่เขียนด้วยตัวแบบการคำนวณของเหตุการณ์ไม่ต่อเนื่อง

ผู้เขียน นางสาวสุดารณี จันทรมานนท์

ปริญญา วิทยาศาสตรมหาบัณฑิต(วิทยาการคอมพิวเตอร์)

อาจารย์ที่ปรึกษาการค้นคว้าแบบอิสระ อาจารย์ ดร. วัชรี จำปามูล

บทคัดย่อ

การค้นคว้าแบบอิสระ เรื่อง “การทวนสอบอย่างเป็นแบบแผนของข้อกำหนดที่เขียนด้วยตัวแบบการคำนวณของเหตุการณ์ไม่ต่อเนื่อง” มีวัตถุประสงค์เพื่อนำเสนอกระบวนการทวนสอบอย่างเป็นแบบแผนของข้อกำหนดที่เขียนด้วยภาษาดีอีซีเอ็มโดยใช้ตัวดำเนินการพื้นฐานของตรรกศาสตร์เชิงกาลเวลา วิธีที่นำเสนอประกอบด้วยขั้นตอนต่อไปนี้ สร้างประพจน์ที่ไม่สามารถแตกย่อยได้อีกจากข้อกำหนดดีอีซีเอ็มที่ต้องการทวนสอบ จากข้อกำหนดดีอีซีเอ็มกำหนดสูตรสำหรับการทวนสอบในรูปของเงื่อนไขที่มีตัวดำเนินของตรรกศาสตร์เชิงกาลเวลา สร้างตารางค่าความจริงของการทวนสอบโดยพิจารณาว่าสูตรของคุณสมบัติเป็นไปได้หรือไม่ในแต่ละสถานการณ์ซึ่งเป็นการรวมกันของค่าความจริงของทุกประพจน์ สถานการณ์ใดที่ทำให้สูตรเป็นเท็จสถานการณ์นั้นไม่ควรเกิดขึ้นในระบบที่รองรับคุณสมบัติที่ต้องการทวนสอบ การดำเนินตามขั้นตอนที่นำเสนอแสดงโดยใช้ระบบควบคุมสัญญาณไฟจราจรเป็นกรณีศึกษา เนื่องจากระบบนี้ต้องควบคุมโดยคำสั่งที่ไม่ขัดแย้งกัน ดังนั้นระบบจึงต้องมีคุณสมบัติความสอดคล้อง

จากการทดลองพบว่า กระบวนการทวนสอบที่นำเสนอสามารถทวนสอบคุณสมบัติในด้านความสอดคล้องของข้อกำหนดดีอีซีเอ็มได้ โดยผลจากการทวนสอบดังกล่าวแสดงออกมาได้อย่างชัดเจนว่าข้อกำหนดนั้นมีหรือไม่มีคุณสมบัติตามที่ระบุ

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright © by Chiang Mai University
All rights reserved

Independent Study Title Formal Verification of Specification Written by Discrete Event Calculus Model

Author Ms. Sudaranee Chantharamanon

Degree Master of Science (Computer Science)

Independent Study Advisor Lecturer Dr. Watcharee Jumpamule

ABSTRACT

This independent study entitled, “Formal Verification of Specification Written by Discrete Event Calculus Model” is to present the process of formal verification for DECM specification of control system by using basic operation of temporal logic. The proposed process consists of the following steps: derive atomic propositions from DECM specification; based on the specification, formulate the verification formulas in the form of conditional statement using temporal logic operators; and then create verification truth table by considering whether each state holds the verification formulas or not. Any state does not hold the properties, should not be a state of the system. The proposed method is illustrated by using a case study on traffic light control, because of its non-conflicting commands. Thus, this system needs the consistency properties. Due to the experiment, our proposed verification process can verify consistency properties of DECM specification. The experimental results show that the specification can decisively be verified whether it is qualified as claimed.

ลิขสิทธิ์มหาวิทยาลัยเชียงใหม่
Copyright © by Chiang Mai University
All rights reserved